

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223630

(43)Date of publication of application : 21.08.1998

(51)Int. Cl.

H01L 21/3205

(21)Application number : 09-020728

(71)Applicant : FUJI FILM MICRO DEVICE KK
FUJI PHOTO FILM CO LTD

(22)Date of filing : 03.02.1997

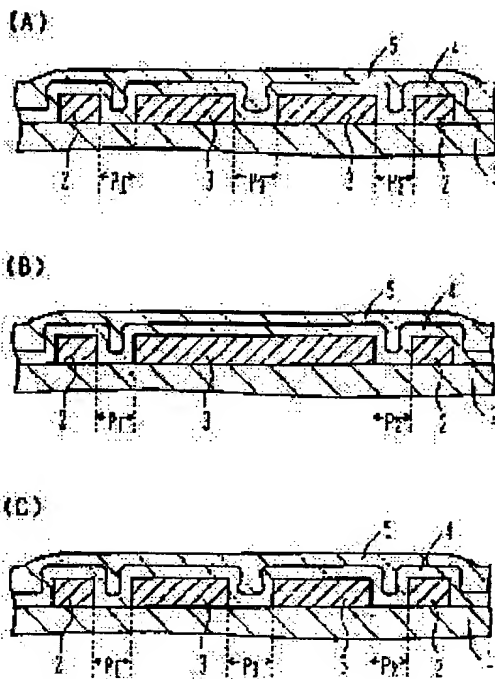
(72)Inventor : CHIBA YOSHIYUKI
SAITO MAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the flatness of layers formed on a dummy pattern and a wiring pattern layers, taking account of the spacing between the wiring and a dummy pattern or between the dummy patterns.

SOLUTION: Wiring patterns 2 and dummy patterns 3 are formed with spacings on a layer 1, and the spacing of the adjacent wiring and dummy patterns is set to $1\mu\text{m}$ or less or in a range between $2\mu\text{m}$ and $10\mu\text{m}$. Wiring patterns 2 and dummy patterns 3 are formed with spacings on a layer 1 and the spacing of the adjacent wiring and dummy patterns and that of the adjacent dummy patterns are all set in a range of $\pm 50\%$ of specified dimensional value.



LEGAL STATUS

[Date of request for examination]

06.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the semiconductor device in which the circuit pattern and the dummy pattern were formed on the suitable substrate or suitable layer for a semiconductor device with multilayer-interconnection structure, about semiconductor integrated circuit equipment.

[0002]

[Description of the Prior Art] Since it corresponds to the densification of a semiconductor device, and high integration in recent years, progress of multilayer-interconnection technology is remarkable. Multilayer-interconnection technology carries out the laminating of two-layer or two or more layers beyond it on a substrate. Each layer forms an individual circuit pattern etc. and combines wiring between different layers using a through hole.

[0003] In order to form such multilayer-interconnection structure, a metal wiring material is deposited all over the upper [of a semiconductor substrate or a certain material layer], patterning is carried out with photolithography technology, and the 1st wiring layer is formed. Furthermore, an insulating layer is formed on the 1st wiring layer, a through hole is formed in an insulating layer, a metal wiring material is further deposited all over the upper [of an insulating layer], and the 2nd wiring layer is formed with photolithography technology. A multilayer interconnection is formed by repeating the above-mentioned process several times according to the number of the layers which carry out a laminating.

[0004] As for patterning of a metal wiring material, in manufacture of the semiconductor integrated circuit accompanied by micro processing in recent years, it is common to be performed by a series of processes of forming metal wiring by the exposure / development -> dry etching of a resist with a resist application -> mask.

[0005] For example, the technique of forming a dummy pattern as shown in drawing 4 (A) with a circuit pattern is known.

[0006] A dummy pattern is a pattern of a metal layer which is not directly contributed to operation of a semiconductor device. Drawing 4 (A) is the fragmentary sectional view of the multilayer-interconnection structure which used the dummy pattern. The field oxide film 101 is formed on a silicon substrate 100, and the 1st wiring layer 102 of metallic-conductor material is further formed on it. What is shown by a and c among the 1st wiring layers 102 is real wiring with which an electrical circuit is actually presented, it is the dummy pattern which is shown by b, and it does not participate in circuit operation directly.

[0007] In the case of drawing 4 (A), the dummy pattern b and the real wiring a and c are formed on a layer common to a process together with the same material. The layer insulation film 103 is formed on the 1st wiring layer 102 containing a dummy pattern, and the 2nd wiring layer 104 is further formed on it. The pattern density of the 1st wiring layer 102 becomes uniform by existence of a dummy pattern, and most of the layer insulation film 103 on it and the front face of the 2nd wiring layer 104 is formed in flatness.

[0008] Temporarily, supposing there is no dummy pattern b in the 1st wiring layer 102, as shown in the cross section of drawing 4 (B), between the circuit patterns a and c of the 1st wiring layer 102 will be widely vacant. this space section, i.e., the pattern density of wiring, -- rough -- ** -- if a portion is made, it will be formed after the 2nd wiring layer 104 on it has fallen further with the layer insulation film 103 on it Wiring may be turned off in the portion which has the level difference of the 2nd wiring layer 104 in such a case, or poor insulation may be generated in a portion with the level difference of the layer insulation film 103.

[0009] therefore, the dummy pattern which does not participate in circuit operation directly with multilayer-interconnection structure -- the density of a circuit pattern -- rough -- ** -- it arranges into a portion, i.e., the free area between wiring, and is made for pattern density to become as uniform as possible in every field of the whole layer

[0010]

[Problem(s) to be Solved by the Invention] some semiconductor devices with which drawing 3 formed the dummy pattern by the Prior art in the wiring layer -- it is a cross section In drawing 3, a circuit pattern 11 is formed with metallic-conductor material on a substrate (or layer) 10, and the dummy pattern 12 is formed in a field without a circuit pattern with the same material as a circuit pattern 11. Furthermore, an insulator layer 13 is formed by the chemistry gaseous-phase depositing method (CVD) on it, on it, the application film of SOG (spin-on glass) is formed in the shape of flatness by the rotation applying method etc., is stiffened, and the insulator layer 14 is formed.

[0011] By the way, the interval p1 of the circuit pattern 11 and the dummy pattern 12 which adjoin mutually in such a conventional method and p2 The convention of the lower limit which becomes settled in the design rule of a semiconductor device is only filled, and consideration was not paid, especially concerning the range of the size interval. Therefore, even if it

formed the insulator layer 14 by SOG like drawing 3 , the bad part of flat nature was made partially.

[0012] The artificer etc. measured how a pattern interval would be changed and the flat nature of an SOG film would change. The result is shown in drawing 2 . A pattern interval (micrometer) is taken along a horizontal axis, and the badness of flat nature is shown in a vertical axis. It is shown that that flat nature is bad has a large level difference. Here, the thickness of the insulator layer 13 shown in drawing 3 is 600nm. According to this graph, it turns out that there is a field where flat nature becomes [a pattern interval] remarkably bad between 1 micrometer and 2 micrometers. If the badness of flat nature will become bad little by little gradually if an interval is enlarged from 2 micrometers, an interval becomes large to some extent, for example it will be set to about 10 micrometers or more, the badness of flat nature will become the grade which cannot be disregarded. This is imagined that flatness falls in the specific range under the influence of the viscosity of SOG, an application process, etc.

[0013] Furthermore, the interval p1 of the circuit pattern 11 and the dummy pattern 12 which adjoin mutually by the conventional method and p2 Since it was not fixed and there was size of an interval by the place, the part where flat nature becomes bad existed. Moreover, flat nature was uneven.

[0014] The purpose of this invention is to offer the semiconductor device which raised the flat nature of the layer formed on the layer of a dummy pattern and a circuit pattern in consideration of the interval of a circuit pattern and a dummy pattern, or a dummy pattern comrade's interval.

[0015]

[Means for Solving the Problem] The interval of the aforementioned circuit pattern and the aforementioned dummy pattern with which a circuit pattern and a dummy pattern set an interval on a certain layer, and the semiconductor device by this invention is formed, and adjoins is set up except for the predetermined size range.

[0016] Furthermore, the interval of the aforementioned circuit pattern and the aforementioned dummy pattern with which the semiconductor device by this invention adjoins is set up in the size range between 1 micrometer or less, 2 micrometers, and 10 micrometers.

[0017] Furthermore, the semiconductor device by this invention is a semiconductor device with which a circuit pattern and two or more dummy patterns set the interval, and were formed on a certain layer, and all of the interval of the adjoining aforementioned circuit pattern and the adjoining aforementioned dummy pattern and the interval of the adjoining dummy pattern comrade are set up within the limits of **50% of the predetermined size value.

[0018]

[Function] A semiconductor device with the good upper front face of flat nature is obtained by avoiding the interval field where flat nature as shown in drawing 2 gets worse, and setting up the interval of a circuit pattern and a dummy pattern, or a dummy pattern comrade's adjoining interval. Moreover, flat nature improves by making the interval of a circuit pattern and a dummy pattern, or all the intervals of the adjoining dummy pattern comrade into homogeneity.

[0019]

[Embodiments of the Invention] Hereafter, the example of this invention is explained with reference to a drawing. some semiconductor devices according [drawing 1] to the example of this invention -- some cross sections are illustrated

[0020] In drawing 1 (A), a circuit pattern 2 is formed with metallic-conductor material on the insulating front face of the semiconductor substrate 1, and the dummy pattern 3 which consists of two or more small fields is formed in a field without a circuit pattern with the same material as a circuit pattern. Furthermore, the insulator layer 5 to which flattening of the front face which the insulator layer 4 by CVD was formed on it, and formed the application film of SOG by the rotation applying method etc. on it was carried out is formed. The covering postcure of the SOG film has been carried out.

[0021] The interval p1 of the circuit pattern 2 and the dummy pattern 3 of drawing 1 (A), and p2 Interval p3 of the small field comrade of the dummy pattern 3 The dummy pattern 3 is formed so that it may become the range of 1 micrometer or less and 2 micrometers - 10 micrometers. In addition, an interval p1 and p2 And p3 Even if it is 1 micrometer or less, it is required to fill a convention of the lower limit of the design rule of a semiconductor device. Moreover, all the intervals p1 and p2 And p3 I hope that it is not necessarily the same. By restricting a pattern interval to the above-mentioned specific range, the insulator layer 5 by SOG with sufficient flat nature was obtained. As for the above-mentioned interval, being filled in all the fields of a semiconductor chip is desirable.

[0022] In the case of drawing 1 (B), it is an interval p1 about one large dummy pattern 3 between circuit patterns 2. p2 It is the example set and formed, and it is formed so that this interval may also become the range of 1 micrometer or less and 2 micrometers - 10 micrometers. Moreover, all the intervals p1 and p2 I hope that it is not necessarily the same. Also in this case, the insulator layer 5 by SOG with sufficient flat nature was obtained.

[0023] Drawing 1 (C) is the interval p1 of a circuit pattern 2 and the dummy pattern 3, and p2, although an arrangement relation is the same as drawing 1 (A). Interval p3 of the small field comrade of the dummy pattern 3 All are set as the same predetermined size value. Namely, $p1 = p2 = p3$ It has become. Flat nature improves by having made all the intervals uniform. However, the variation on manufacture is taken into consideration and it is p1, p2, and p3. You may change in **50% of range of a predetermined size value, respectively. It is **20% of range more preferably. Furthermore, the flat nature of the insulator layer 5 of SOG becomes uniform in all fields by selecting this predetermined size value including the above-mentioned tolerance from the ranges of 1 micrometer or less and 2 micrometers - 10 micrometers. As for the above-mentioned interval, being filled in all the fields of a semiconductor chip is desirable.

[0024] in addition, being possible, if this invention is not restricted to the thing of an example explained above and various change and improvement are these contractors based on the indication of an example -- obvious -- it will be .

[0025]

[Effect of the Invention] A semiconductor device with the good layer of flat nature is obtained by avoiding an interval field where flat nature gets worse, and setting up the interval of a circuit pattern and a dummy pattern, or a dummy pattern comrade's adjoining interval. Moreover, flat nature improves by making the interval of a circuit pattern and a dummy pattern, or all the intervals of the adjoining dummy pattern comrade into homogeneity.

[0026] By the improvement of flat nature, the process margin in the photolithography and etching process in a manufacturing process of a semiconductor device improves.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223630

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁶

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

S

審査請求 未請求 請求項の数10 O L (全 5 頁)

(21) 出願番号 特願平9-20728

(22) 出願日 平成9年(1997) 2月3日

(71) 出願人 391051588

富士フイルムマイクロデバイス株式会社
宮城県黒川郡大和町松坂平1丁目6番地

(71) 出願人 000005201

富士写真フイルム株式会社
神奈川県南足柄市中沼210番地

(72) 発明者 千葉 義幸

宮城県黒川郡大和町松坂平1丁目6番地
富士フイルムマイクロデバイス株式会社内

(72) 発明者 斉藤 牧

宮城県黒川郡大和町松坂平1丁目6番地
富士フイルムマイクロデバイス株式会社内

(74) 代理人 弁理士 高橋 敬四郎 (外2名)

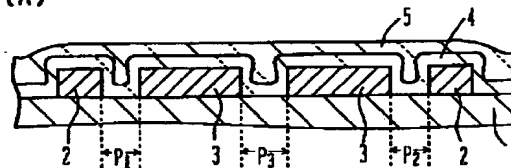
(54) 【発明の名称】 半導体装置

(57) 【要約】

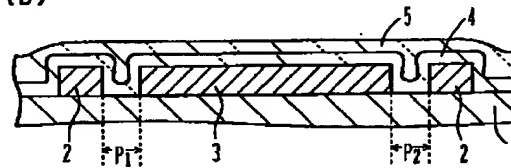
【課題】 配線パターンとダミーパターンとの間隔あるいはダミーパターン同志の間隔を考慮して、ダミーパターンと配線パターンの層の上に形成する層の平坦性を向上した半導体装置を提供することを課題とする。

【解決手段】 ある層(1)の上に配線パターン(2)とダミーパターン(3)とが間隔をおいて形成されており、隣接する配線パターンとダミーパターンとの間隔を $1\mu\text{m}$ 以下か、 $2\mu\text{m}$ から $10\mu\text{m}$ の間の範囲で設定する。また、ある層(1)の上に配線パターン(2)と複数のダミーパターン(3)とが間隔をおいて形成され、隣接する配線パターンとダミーパターンとの間隔と、隣接するダミーパターン同志の間隔とがすべて所定寸法値の $\pm 5\%$ の範囲内で設定されている。

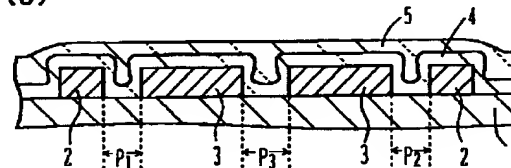
(A)



(B)



(C)



【特許請求の範囲】

【請求項1】 ある層の上に配線パターンとダミーパターンとが間隔をおいて形成された半導体装置であって、隣接する前記配線パターンと前記ダミーパターンとの間隔が所定寸法範囲を除いて設定されていることを特徴とする半導体装置。

【請求項2】 前記ダミーパターンが互いに間隔をおいて配置される複数の小パターンを含み、該複数の小パターンの隣接する小パターン同志の間隔が前記所定寸法範囲を除いて設定されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記所定寸法範囲が $1\mu\text{m}$ から $2\mu\text{m}$ の間であり、かつ前記間隔が $10\mu\text{m}$ 以下であることを特徴とする請求項1あるいは2記載の半導体装置。

【請求項4】 前記配線パターンと前記ダミーパターンとの間隔と、前記複数の小パターンの隣接する小パターン同志の間隔とがある寸法値の $\pm 50\%$ の範囲内で設定されていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記配線パターンと前記ダミーパターンとを形成した層の上に形成されたSOG層をさらに有することを特徴とする請求項1～4のいずれかに記載の半導体装置。

【請求項6】 ある層の上に配線パターンとダミーパターンとが間隔をおいて形成された半導体装置であって、隣接する前記配線パターンと前記ダミーパターンとの間隔が $1\mu\text{m}$ 以下か、 $2\mu\text{m}$ から $10\mu\text{m}$ の間の寸法範囲で設定されていることを特徴とする半導体装置。

【請求項7】 前記ダミーパターンが互いに間隔をおいて配置される複数の小パターンを含み、該複数の小パターンの隣接する小パターン同志の間隔が $1\mu\text{m}$ 以下か、 $2\mu\text{m}$ から $10\mu\text{m}$ の寸法範囲で設定されていることを特徴とする請求項6記載の半導体装置。

【請求項8】 前記配線パターンと前記ダミーパターンとの間隔と、前記複数の小パターンの隣接する小パターン同志の間隔とが前記規定寸法範囲中のある寸法値の $\pm 50\%$ の範囲内で設定されていることを特徴とする請求項7記載の半導体装置。

【請求項9】 前記配線パターンと前記ダミーパターンとを形成した層の上に形成されたSOG層をさらに有することを特徴とする請求項6～8のいずれかに記載の半導体装置。

【請求項10】 ある層の上に配線パターンと複数のダミーパターンとが間隔をおいて形成された半導体装置であって、隣接する前記配線パターンと前記ダミーパターンとの間隔と、隣接するダミーパターン同志の間隔とがすべて所定寸法値の $\pm 50\%$ の範囲内で設定されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、多層配線構造を持つ半導体装置に好適な、基板あるいは層の上に配線パターンとダミーパターンとを形成した半導体装置に係わる。

【0002】

【従来の技術】近年、半導体装置の高密度化、高集積化に対応するために、多層配線技術の進展が顕著である。多層配線技術は基板上に2層あるいはそれ以上の複数の層を積層する。それぞれの層は、個別の配線パターン等を形成し、スルーホールを利用して異なる層間で配線を結合する。

【0003】このような多層配線構造を形成するには、半導体基板あるいはある材料層の上全面に金属配線材料を堆積し、フォトリソグラフィ技術によりパターンニングして第1の配線層を形成する。さらに、第1の配線層の上に絶縁層を形成し、絶縁層にスルーホールを形成し、さらに絶縁層の上全面に金属配線材料を堆積し、フォトリソグラフィ技術により第2の配線層を形成する。上記の工程を積層する層の数に応じて何回か繰り返すことにより、多層配線を形成する。

【0004】近年の微細加工を伴う半導体集積回路の製造において、金属配線材料のパターンニングは、レジスト塗布→マスクによるレジストの露光・現像→ドライエッチングにより金属配線を形成するといった一連の工程により行われるのが一般的である。

【0005】たとえば、図4(A)に示すようなダミーパターンを配線パターンとともに形成する手法が知られている。

【0006】ダミーパターンとは半導体装置の動作には直接寄与しない金属層のパターンである。図4(A)は、ダミーパターンを使用した多層配線構造の部分断面図である。シリコン基板100の上にフィールド酸化膜101が形成され、さらにその上に金属導体材料の第1配線層102が形成されている。第1配線層102の内、aとcで示すものは実際に電気回路に供される実配線であり、bで示されるものはダミーパターンであって回路動作には直接関与しない。

【0007】図4(A)の場合には、ダミーパターンbと実配線a、cとは同じ材料で一緒に工程で共通の層の上に形成される。ダミーパターンを含む第1配線層102の上には層間絶縁膜103が形成され、さらにその上に第2配線層104が形成される。ダミーパターンの存在により第1配線層102のパターン密度は均一になり、その上の層間絶縁膜103と第2配線層104の表面はほとんど平坦に形成される。

【0008】もし仮に、第1配線層102にダミーパターンbがないとすると、図4(B)の断面図のように、第1配線層102の配線パターンaとcとの間が広く空いてしまう。この空間部すなわち配線のパターン密度が

粗になる部分ができると、その上の層間絶縁膜103とさらにその上の第2配線層104が落ち込んだ状態で形成される。このような場合には第2配線層104の段差のある部分で配線が切れたり、層間絶縁膜103の段差のある部分で絶縁不良を発生する場合がある。

【0009】従って、多層配線構造では回路動作には直接関与しないダミーパターンを配線パターンの密度が粗になる部分すなわち、配線と配線との間の空き領域に配置して、層の全体のどの領域でもパターン密度が可能なかぎり均一になるようにする。

【0010】

【発明が解決しようとする課題】図3は、従来の技術によるダミーパターンを配線層に形成した半導体装置の一部断面図である。図3において、基板（あるいは層）10の上に金属導体材料で配線パターン11が形成され、配線パターンのない領域にダミーパターン12が配線パターン11と同じ材料で形成される。さらに、その上に化学気相堆積法（CVD）により絶縁膜13が形成され、その上にSOG（スピン・オン・ガラス）の塗布膜を回転塗布法などにより平坦状に形成し、硬化させて絶縁膜14を形成している。

【0011】ところで、このような従来の方法においては、互いに隣接する配線パターン11とダミーパターン12との間隔 p_1 、 p_2 は半導体装置のデザインルールで定まる最小寸法の規定を満たしているだけで、その寸法間隔の範囲に関しては特に考慮が払われてなかった。そのため、図3のようなSOGによる絶縁膜14を形成しても、部分的に平坦性の悪い箇所ができていたりしていた。

【0012】発明者等は、パターン間隔を変化させてSOG膜の平坦性がどう変わるかを測定した。その結果を図2に示す。横軸にパターン間隔（ μm ）をとり、縦軸に平坦性の悪さを示す。平坦性が悪いことは段差が大きいことを示す。ここで、図3に示す絶縁膜13の膜厚は、600nmである。このグラフによれば、パターン間隔が1 μm から2 μm の間で平坦性が著しく悪くなる領域があることがわかる。間隔を2 μm から大きくしてゆくと、平坦性の悪さは少しずつ次第に悪くなり、ある程度間隔が大きくなると、例えば10 μm 程度以上になると、平坦性の悪さは無視できない程度になる。これは、SOGの粘度や塗布工程などの影響により特定の範囲で平坦度が低下するものと想像される。

【0013】さらに、従来の方法では、互いに隣接する配線パターン11とダミーパターン12との間隔 p_1 、 p_2 は一定しておらず、場所によって間隔の大小があるために、平坦性が悪くなる箇所が存在していた。また、平坦性が不均一になっていた。

【0014】本発明の目的は、配線パターンとダミーパターンとの間隔あるいはダミーパターン同志の間隔を考慮して、ダミーパターンと配線パターンの層の上に形成

する層の平坦性を向上させた半導体装置を提供することにある。

【0015】

【課題を解決するための手段】本発明による半導体装置は、ある層の上に配線パターンとダミーパターンとが間隔をおいて形成されており、隣接する前記配線パターンと前記ダミーパターンとの間隔が所定寸法範囲を除いて設定されている。

【0016】さらに、本発明による半導体装置は、隣接する前記配線パターンと前記ダミーパターンとの間隔が1 μm 以下か、2 μm から10 μm の間の寸法範囲で設定されている。

【0017】さらに、本発明による半導体装置は、ある層の上に配線パターンと複数のダミーパターンとが間隔をおいて形成された半導体装置であって、隣接する前記配線パターンと前記ダミーパターンとの間隔と、隣接するダミーパターン同志の間隔とがすべて所定寸法値の $\pm 50\%$ の範囲内で設定されている。

【0018】

【作用】図2に示したような、平坦性が悪化する間隔領域を避けて配線パターンとダミーパターンとの間隔、あるいは隣接するダミーパターン同志の間隔を設定することにより平坦性のよい上層表面を持つ半導体装置が得られる。また、配線パターンとダミーパターンとの間隔、あるいは隣接するダミーパターン同志の間隔をすべて均一にすることで平坦性は向上する。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施例について説明する。図1は本発明の実施例による半導体装置の一部断面図をいくつか例示したものである。

【0020】図1（A）においては、半導体基板1の絶縁表面の上に金属導体材料で配線パターン2が形成され、配線パターンのない領域に複数の小領域からなるダミーパターン3が配線パターンと同じ材料で形成される。さらに、その上にCVDによる絶縁膜4が形成され、その上にSOGの塗布膜を回転塗布法などにより形成した表面が平坦化された絶縁膜5が形成されている。SOG膜は、被覆後硬化させてある。

【0021】図1（A）の、配線パターン2とダミーパターン3との間隔 p_1 、 p_2 と、ダミーパターン3の小領域同志の間隔 p_3 とは1 μm 以下か、2 μm ～10 μm の範囲になるようにダミーパターン3が形成される。なお、間隔 p_1 、 p_2 及び p_3 は、1 μm 以下であっても、半導体装置のデザインルールの最小寸法の規定を満たすことが必要である。また、すべての間隔 p_1 、 p_2 及び p_3 は必ずしも同じでなくともよい。パターン間隔を上記特定範囲に制限することにより、平坦性がよいSOGによる絶縁膜5が得られた。上記の間隔は、半導体チップの全領域において満たされていることが好ましい。

5

【0022】図1(B)の場合は、配線パターン2の間に一つの広いダミーパターン3を間隔 p_1 と p_2 を置いて形成した例であり、この間隔もまた $1\mu\text{m}$ 以下か、 $2\mu\text{m}\sim 10\mu\text{m}$ の範囲になるように形成される。また、すべての間隔 p_1 、 p_2 は必ずしも同じでなくともよい。この場合も、平坦性がよいSOGによる絶縁膜5が得られた。

【0023】図1(C)は図1(A)と配置関係が同じであるが、配線パターン2とダミーパターン3との間隔 p_1 、 p_2 と、ダミーパターン3の小領域同志の間隔 p_3 とはすべて同じ所定寸法値に設定されている。すなわち、 $p_1 = p_2 = p_3$ となっている。すべての間隔を均一としたことにより平坦性は向上する。ただし、製造上のバラツキを考慮して、 p_1 、 p_2 、 p_3 はそれぞれ所定寸法値の $\pm 50\%$ の範囲で変化してもかまわない。より好ましくは、 $\pm 20\%$ の範囲である。さらに、この所定寸法値を上記許容範囲を含めて $1\mu\text{m}$ 以下か、 $2\mu\text{m}\sim 10\mu\text{m}$ の範囲の中から選定することで、SOGの絶縁膜5の平坦性が全領域で均一になる。上記の間隔は、半導体チップの全領域において満たされていることが好ましい。

【0024】なお、本発明は以上説明した実施例のものに限るものではなく、実施例の開示にもとづき様々な変更や改良が当業者であれば可能であることは自明であろう。

【0025】

6

【発明の効果】平坦性の悪化するような間隔領域を避けて配線パターンとダミーパターンとの間隔、あるいは隣接するダミーパターン同志の間隔を設定することにより平坦性のよい層を持つ半導体装置が得られる。また、配線パターンとダミーパターンとの間隔、あるいは隣接するダミーパターン同志の間隔をすべて均一にすることで平坦性は向上する。

【0026】平坦性の改善により、半導体装置の製造工程におけるフォトリソグラフィ及びエッチング工程でのプロセスマージンが向上する。

【図面の簡単な説明】

【図1】 本発明の実施例による半導体装置のいくつかの断面図である。

【図2】 パターン間隔の変化に対する平坦性の悪さの変化を示す特性図である。

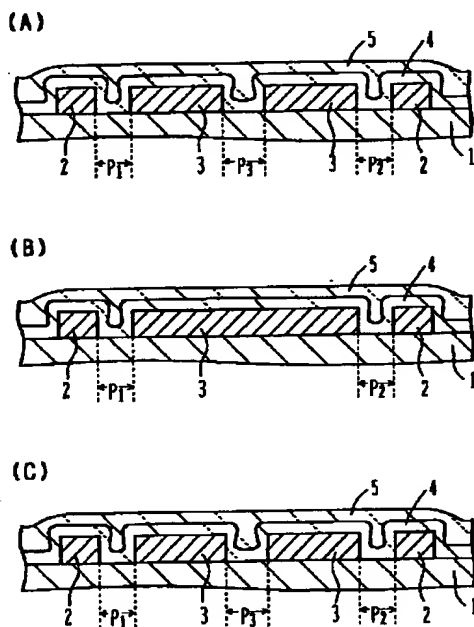
【図3】 従来の技術によるダミーパターンを形成した半導体装置の断面図である

【図4】 ダミーパターンの効果を説明するための多層配線構造の半導体装置の断面図である。

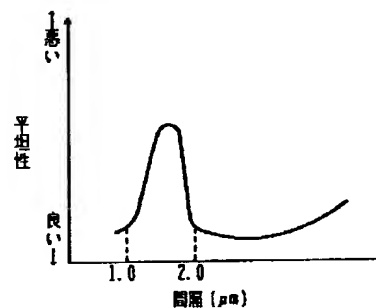
【符号の簡単な説明】

- 1 半導体基板(層)
- 2 配線パターン
- 3 ダミーパターン
- 4 CVD絶縁膜
- 5 SOG絶縁膜

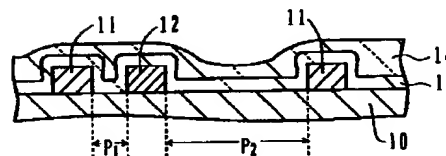
【図1】



【図2】



【図3】



【図4】

